

## 9. REALIZAREA DEMODULATORULOR MF CU CIRCUITE PLL

- Principiu: prelucrarea semnalului;
- Ieșirea demodulatorului MF =  $c(t)$ .
- În general urmează un FTJ suplimentar având  $f_t = f_{mM}$  care reduce efectul zgomotului.
- Fie, într-o primă etapă, semnalul MF fără a fi însoțit de zgomot:

$$\varphi_i(t) = \Delta\omega \int_0^t f(\theta) d\theta = K_F U_m \int_0^t f(\theta) d(\theta) \quad (1)$$

- Din modelul liniar se găsește

$$L\{c_o(t)\} = \frac{s}{K_3} L\{\varphi_{r1}(t)\} \quad (2)$$

- Deci

$$\frac{L\{c_o(t)\}}{L\{\varphi_i(t)\}} = \frac{s}{K_3} H(s) = \frac{s K_o F(s)}{K_3 [s + K_o F(s)]} \quad (3)$$

- Deoarece

$$\Delta\omega f(t) = \dot{\varphi}_i(t), \quad (4)$$

rezultă funcția de transfer asociată demodulatorului MF:

$$H_{MF}(s) = \frac{L\{c_o(t)\}}{L\{\Delta\omega f(t)\}} = \frac{1}{K_3} H(s) \quad (5)$$

- Dacă semnalul modulat în frecvență este însoțit de zgomot:

$$a(t) = X_o \cos(\omega_i t + \varphi_i) + n(t)$$

- Din schema echivalentă liniară în prezența zgomotului se determină funcția de transfer

## Transmisiuni Analogice și Digitale; Circuite PLL

pentru zgomot:

$$H_n(s) = \frac{s}{K_3} H(s) \quad (6)$$

➤ Pentru zgomotul de intrare avem  $N_o/X_o^2$ ,  $f \in (-B_{MF}/2, B_{MF}/2)$ , deci la ieșirea OCT:

$$N(\omega) = \frac{N_o}{X_o^2} \frac{\omega^2}{K_3^2} |H(j\omega)|^2 \quad (7)$$

➤ Dacă

$$\begin{aligned} F(j\omega) &= 1 \quad \text{pentru } |\omega| < \omega_{mM}, \\ K_o &\gg \omega_{mM} \end{aligned} \quad (8)$$

➤ la ieșirea FTJ suplimentar rezultă puterea de zgomot

$$P_z = \frac{I}{2\pi} \int_{-\omega_{mM}}^{\omega_{mM}} N(\omega) d\omega = \frac{8\pi^2 N_o f_{mM}}{3 X_o^2 K_3^2} \quad (9)$$

➤ Puterea de semnal, pentru semnal modulator sinusoidal

$$P_s = \overline{c_o^2(t)} = \frac{\Delta\omega^2}{K_3^2} \overline{f^2(t)} = \frac{I}{2} \frac{\Delta\omega^2}{K_3^2} \quad (10)$$

➤ Deci, RSZ la ieșirea demodulatorului realizat cu circuitul PLL este:

$$\frac{P_c}{P_z} = 3 \left( \frac{\Delta\omega}{\omega_{mM}} \right)^2 \frac{X_o^2}{2 N_o f_{mM}} \quad (11)$$

➤ Concluzii

➤ Acest rezultat este corect dacă este valabilă schema echivalentă liniară;

➤ Aceasta implică un raport semnal-zgomot mare.

➤ Avantajul principal provine însă din aceea că în condițiile proiectării optime, pragul de îmbunătățire deplină se reduce cu 5-6 dB;

➤ Pragul de îmbunătățire deplină = raportul semnal-zgomot la intrare pentru care raportul

## Transmisiuni Analogice și Digitale; Circuite PLL

semnal-zgomot la ieșire determinat fără a folosi aproximarea de model liniar diferă cu 1 dB de valoarea dată de relația de mai sus.

- Echivalent, se compară valoarea medie pătratică a fazei OCT determinată folosind modelul liniar

$$\sigma_{r1}^2 = \overline{\varphi_{r1}^2(t)} = \frac{2 N_o}{X_o^2} B_n \quad (12)$$

cu valoarea limită de valabilitate a modelului liniar;

- la circuitul PLL de ordinul unu se găsește valoarea de prag

$$\sigma_{r1}^2 = 0,25[\text{rad}^2] \quad (13)$$

- În cazul în care semnalul aplicat este modulat, se notează

$$\begin{aligned} \varphi_{es}(t) &= \varphi_i(t) - \varphi_r(t) \text{ pentru } n(t) = 0; \\ \varphi_{en}(t) &= -\varphi_{rl}(t) \text{ pentru } n(t) \neq 0, \varphi_i(t) = 0; \end{aligned} \quad (14)$$

- eroarea totală de fază este

$$\varphi_e(t) = \varphi_{es}(t) + \varphi_{en}(t) \quad (17)$$

- având valoarea medie pătratică egală cu :

$$\overline{\varphi_e^2(t)} = \overline{\varphi_{es}^2(t)} + \overline{\varphi_{en}^2(t)}$$

- Se atinge pragul de îmbunătățire deplină atunci când această valoare medie patratcă ia valoarea de prag corespunzătoare lipsei modulației adică

$$\overline{\varphi_e^2(t)} = \overline{\varphi_{es}^2(t)} + \overline{\varphi_{en}^2(t)} = 0,25[\text{rad}^2] \quad (15)$$

- Pentru o proiectare optimă a demodulatorului este necesară cunoașterea densității spectrale  $S_i(f)$  a puterii semnalului  $\varphi_i(t)$ .
- Cel mai des sunt luate în considerație două situații:
  - modulație de frecvență cu semnal asimilat zgomotului alb:

## Transmisiuni Analogice și Digitale; Circuite PLL

$$S_i(f) = \frac{N_m}{\omega^2} [W/Hz], \quad f \in (0, f_{mM}) \quad (16)$$

- modulație de frecvență cu un singur canal vocal:

$$S_i(f) = \frac{N_m}{\omega^4} [W/Hz], \quad f \in (f_{mm}, f_{mM}) \quad (17)$$

- Pentru a concretiza se consideră un circuit PLL de ordin doi și tip unu:
- Se urmărește determinarea parametrilor  $B_n$  și  $\omega_n$  pentru funcționare optimă;
- în ipoteza  $K_o > \omega_n$  banda de zgomot, este minimă pentru  $\xi=0,5$ .
- Se obțin:

$$B_n = \frac{\omega_n}{2},$$

$$H(s) = \frac{(s/\omega_n)^2}{(s/\omega_n)^2 + (s/\omega_n) + 1} \quad (18)$$

- Având în vedere că:

$$\overline{\phi_{en}^2(t)} = \frac{2 N_o \omega_n}{X_o^2} \frac{1}{2},$$

$$\overline{\phi_{es}^2(t)} = \int_0^{f_{mM}} S_i(f) |H_e(j\omega)|^2 df, \quad (19)$$

cu aproximația

$$|H_e(j\omega)|^2 = \frac{\omega^2}{\omega_n^2} \quad (20)$$

se găsește

$$\overline{\phi_e^2(t)} = \frac{N_o \omega_n}{X_o^2} + \frac{I}{\omega_n^2} y \quad (21)$$

unde s-a notat

$$y = \int_0^{f_{mM}} \omega^4 S_i(f) df \quad (22)$$

- Minimizând valoarea medie patrată a erorii de fază se determină condiția

$$\frac{N_o \omega_n}{X_o^2} = \frac{4y}{\omega_n^4} \quad (23)$$

- valoarea minimă fiind

$$\overline{\varphi_e^2(t)}|_{\min} = \frac{5}{4} \frac{N_o \omega_n}{X_o^2} \quad (24)$$

- Folosind proiectarea optimă s-a constatat că valoarea medie pătratică a erorii de fază la prag este datorată în proporție de 20% semnalului și 80% zgomotului.
- Dată fiind condiția limită (15) și relațiile (23) și (24), se determină

$$B_n = \frac{\omega_n}{2} = \left( \frac{5}{4} y \right)^{1/4} \quad (25)$$

- Notând cu  $\beta_{ef}$  indicele de modulație în frecvență efectiv definit prin:

$$\beta_{ef}^2 = \frac{1}{\omega_{mM}^2} \int_0^{f_{mM}} \omega^2 S_i(f) df, \quad (26)$$

pentru primul semnal modulator se găsește

$$\frac{\omega_n}{\omega_{mM}} = 1,86 \beta_{ef}^{1/2} \quad (27)$$

iar pentru al doilea:

$$\frac{\omega_n}{\omega_{mM}} = 2,12 \left( \frac{f_{mm}}{f_{mM}} \right)^{1/4} \beta_{ef}^{1/2} \quad (28)$$

- Cunoscând frecvența naturală a buclei  $\omega_n$  se poate încheia proiectarea optimă a circuitului PLL ca demodulator MF cu prag coborât.

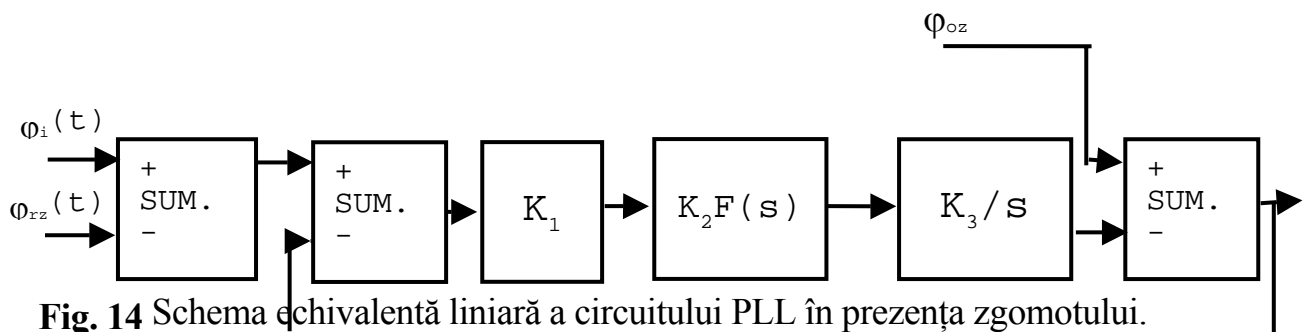
## 10. Aplicații ale circuitelor PLL în sinteza de frecvență

### 10.1 Introducere

- Sinteza de frecvență - *sintetizoarele de frecvență*,
- Oscilatoare de referință - oscilatoare cu cuarț.
- Variante inițiale – evoluție;
- generarea unui număr cât mai mare de frecvențe plecând de la un număr cât mai mic de oscilatoare (sau cristale) de referință.
- Obiective:
  - semnalul generat să fie însoțit de cât mai puține componente nedorite,
  - parametri săi să se stabilizeze într-un interval cât mai scurt de la aplicarea unei comenzi iar
  - sintetizorul să fie caracterizat prin consum, complexitate, preț de cost și dimensiuni cât mai reduse.
- Rezultă parametri caracteristici pentru un sintetizor:
  - a) *Puritatea spectrală* a semnalului generat, două categorii:
    - componente situate la distanță relativ mare de componenta sintetizată și care provin, în primul rând, din operații de multiplicare și mixare;
    - componente situate în apropierea acesteia care sunt, în principal, de tip zgomot de fază.
  - b) *Timpul de comutare*.
- Procedee folosite pentru sinteza de frecvență:
  - **procedee directe;**
  - **procedee indirecte.**
- **Procedeele directe** de sinteză - combinarea semnalelor de referință sau a unor armonici ale acestora:

## Transmisiuni Analogice și Digitale; Circuite PLL

- multiplicări, divizări, mixări, filtrări etc.
  - Clasificare (după numărul de oscilatoare de referință):
    - *procedee directe coerente*;
    - *procedee directe necoerente*.
- Limitări performanțe procedee directe; compromis între:
- puritatea spectrală bună - filtre cât mai selective;
  - timpul de comutare redus - filtre cu selectivitate redusă.
- **Procedeele indirecte de sinteză** - circuite PLL:
- circuite PLL analogice,
  - circuite PLL digitale (DPLL).
- elimină problema produselor de intermodulație.
- Pentru a argumenta o scurtă analiză a comportării circuitelor PLL în prezența zgomotului.
- Se evidențiază:
- zgomotul care însoțește semnalul de referință, notat cu  $\varphi_{r,z}$ ;
  - zgomotul generat de către OCT, notat cu  $\varphi_{o,z}$ .



**Fig. 14** Schema echivalentă liniară a circuitului PLL în prezența zgomotului.

- Ex. bucla de ordinul 1, când  $F(s)=1$ ,
- Pentru o realizare oarecare a zgomotului  $\varphi_{r,z}$

## Transmisiuni Analogice și Digitale; Circuite PLL

$$\frac{\varphi_o(s)}{\varphi_{r,z}(s)} = \frac{1}{1 + \frac{1}{K}s} \quad (29)$$

- acest zgomot este prelucrat cu un FTJ cu constanta de timp  $1/K$ .
- Similar, pentru o realizare oarecare a zgomotului  $\varphi_{o,z}$  se deduce

$$\frac{\varphi_o}{\varphi_{o,z}} = \frac{\frac{s}{K}}{1 + \frac{s}{K}} \quad (30)$$

adică o funcție de transfer de tip TS cu aceeași constantă de timp,  $1/K$ .

- Modulația OCT cu componente provenite de la DP – diminuare – reducere banda FTJ-compromis cu timpul de achiziție;

\* \* \*

- sintetizoarele moderne, profesionale - structură modulară.
- Fiecare modul generează, o frecvență având o valoare aleasă dintr-un set restrâns de valori;
- frecvența semnalului de ieșire se obține prin combinarea corespunzătoare a frecvențelor generate de către fiecare modul în parte.
- Exemplu: sinteza pe *decade* – se generează o valoare din 10;
- Convenție: "1" decada cu ponderea cea mai mare, "N" decada cu ponderea cea mai mică.
- Frecvența generată de o decadă se notează cu  $(\Delta f_{0-9})_n, n \in [1, N]$ . Se observă că

$$f = \sum_{n=1}^N (\Delta f_{0-9})_n \cdot 10^{N-n}. \quad (31)$$

- exemplu  $f = (1 \dots 9999) \text{ kHz}$ , pasul de 1 kHz, patru decade.
- $f_0 = 4972 \text{ kHz}$

$$\begin{aligned} (\Delta f_{0-9})_1 &= 4 \text{ MHz}; & (\Delta f_{0-9})_2 &= 9 \text{ MHz}; \\ (\Delta f_{0-9})_3 &= 7 \text{ MHz}; & (\Delta f_{0-9})_4 &= 2 \text{ MHz}. \end{aligned} \quad (32)$$



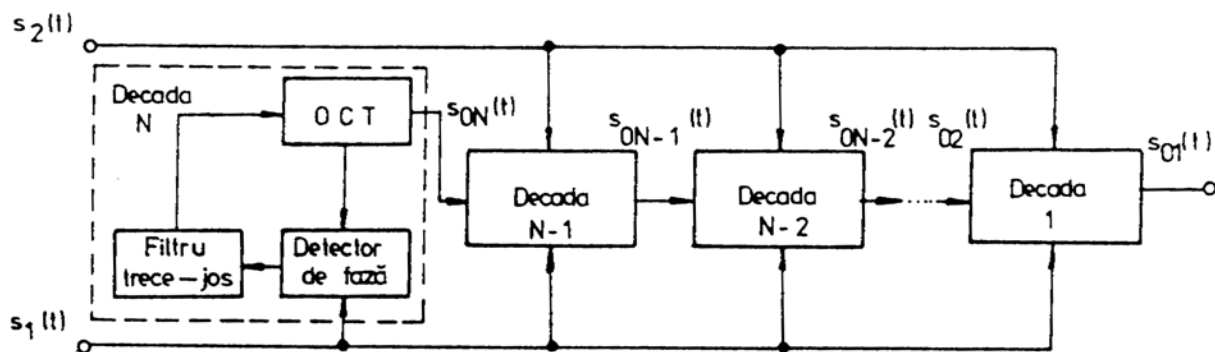
- valori apropiate deci structuri și condiții de lucru identice.

## 10.2 Sintetizoare de frecvență realizate cu circuite PLL analogice

- După modul în care se combină semnalele generate de cele  $N$  decade:

- sintetizoare cu injecție serie;*
- sintetizoare cu injecție paralel.*

### a) Funcționarea sintetizatoarelor cu injecție serie



**Fig. 15** Sinteza de frecvență prin "injecție" serie;

- de la semnalul generat de OR de mare stabilitate – se alege un set de 10 componente,

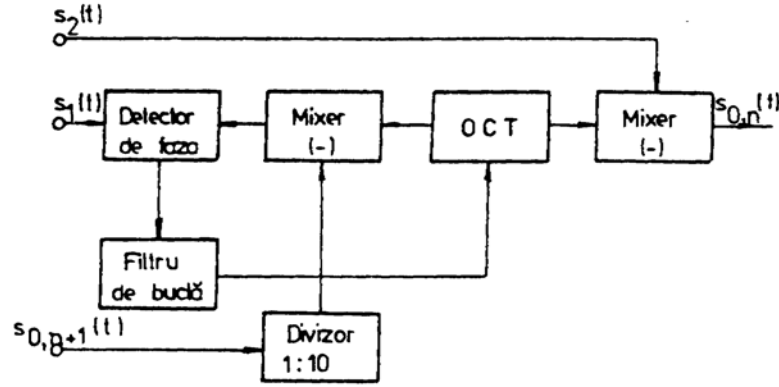
$$s_I(t) = \sum_{n=0}^9 A_n \cos[\omega_{i0} + (\Delta\omega_{(0-9)})_I]t \quad (33)$$

unde  $\omega_{i0}$  corespunde frecvenței care este generată la selectarea valorii  $(\Delta\omega_0)_1$ .

- Semnal de corecție

$$s_2(t) = A \cos\left(\frac{\omega_{i0}}{10} t\right) \quad (34)$$

- Structura unei decade (excepție decada  $N$ )



**Fig. 16** Sinteza de frecvență prin injecție serie. Schema bloc a decadei  $n(n \neq n')$ .

➤ Se obține un semnal având frecvența:

$$f'_{o,n} = f_{io} + \frac{f_{o,n+1}}{10} + (\Delta f_{o-9})_n \quad (35)$$

➤ Rolul mixării cu  $s_2(t)$ .

➤ Rezultă:

$$\begin{aligned} f_{o,N} &= f_{io} + (\Delta f_{o-9})_N \\ f_{o,N-1} &= f_{io} + (\Delta f_{o-9})_{N-1} + \frac{(\Delta f_{o-9})_N}{10} \\ &\dots\dots\dots \\ f_{o,3} &= f_{io} + (\Delta f_{o-9})_3 + \frac{(\Delta f_{o-9})_4}{10} + \dots + \frac{(\Delta f_{o-9})_N}{10^{N-3}} \\ f_{o,2} &= f_{io} + (\Delta f_{o-9})_2 + \frac{(\Delta f_{o-9})_3}{10} + \dots + \frac{(\Delta f_{o-9})_N}{10^{N-2}} \\ f_{o,1} &= f_o = f_{io} + (\Delta f_{o-9})_1 + \frac{(\Delta f_{o-9})_2}{10} + \dots + \frac{(\Delta f_{o-9})_N}{10^{N-1}} \end{aligned} \quad (36)$$

➤ Concluzie: sunt ușor adaptabile pentru a genera un număr foarte mare de frecvențe.

## b) Funcționarea sintetizatoarelor cu injecție paralel

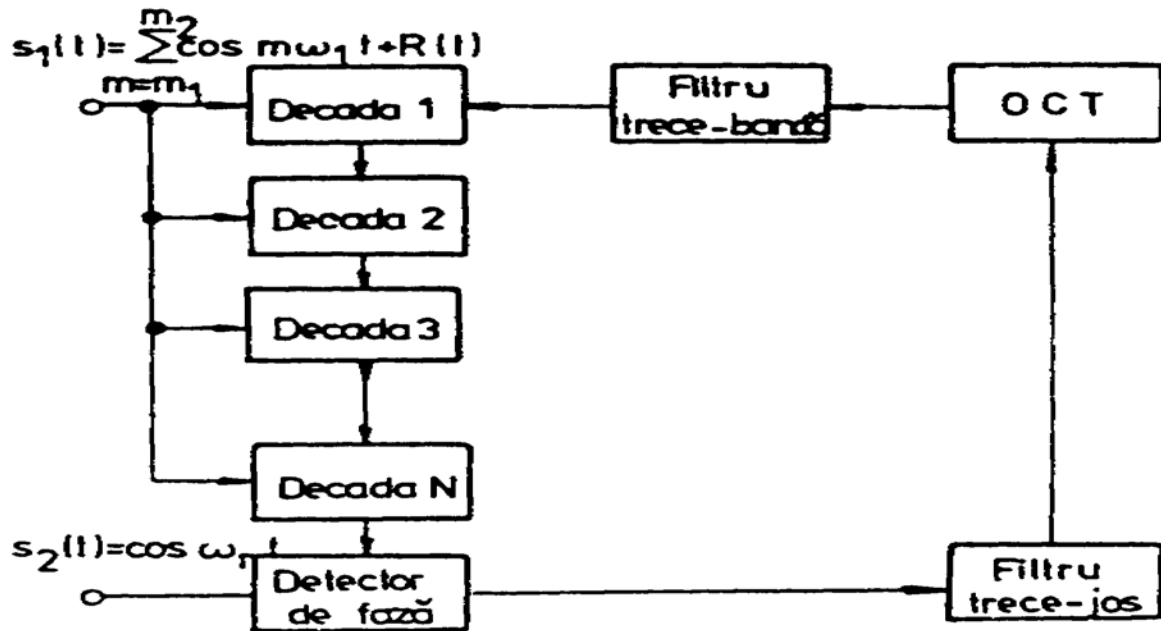


Fig. 17 Sintetizor de frecvență cu "injecție" paralel;

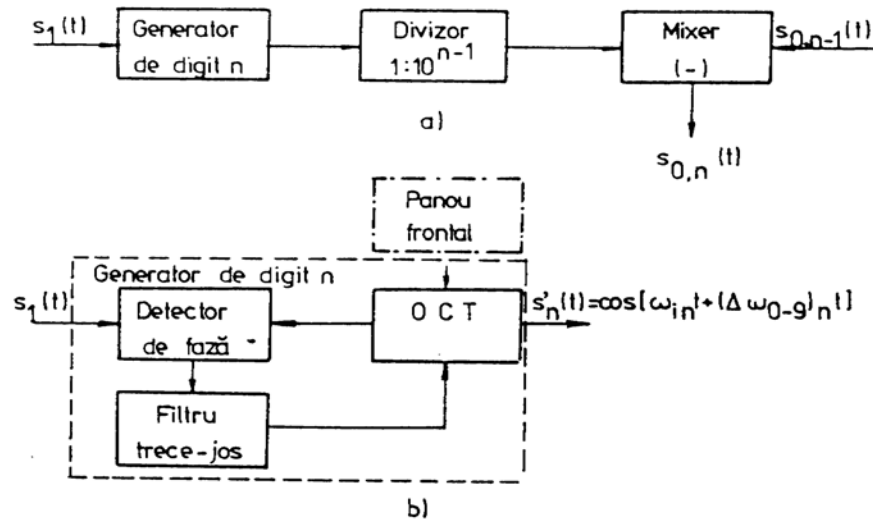
➤ OR - semnalul de referință propriu-zis:

$$s_2(t) = U_r \cos n\omega_r t \quad (37)$$

➤ Semnalele aplicate celor  $N$  decade (câte zece componente) pot fi diferite:

$$s_1(t) = \sum_{k=k_1}^{k_2} A_k \cos(k\omega_r t) + r(t) \quad (38)$$

unde  $r(t)$  reprezintă suma celorlalte componente.



**Fig. 18** Sinteza de frecvență prin "injecție" paralel; schemele bloc pentru:

a) decada n; b) generatorul de digit n.

- primul generator de digit - mixat prin scădere fără divizare cu semnalul de la ieșirea OCT;
- dacă este îndeplinită condiția

$$f_o > f_{i1} + (\Delta f_{0-9})_1 \quad (39)$$

- $f_{in}, n=0, \dots, N$ , reprezintă frecvența generată la alegerea valorii  $(\Delta f_o)_n$ ,
- rezultă un semnal cu frecvența

$$f_{o1} = f_o - [f_{i1} + (\Delta f_{0-9})_1] ;$$

- Cu alte cuvinte, frecvența OCT satisface relația

$$f_o = f_{o1} + f_{i1} + (\Delta f_{0-9})_1. \quad (44)$$

- După mixerul asociat celei de a doua decade rezultă:

$$f_{o,2} = f_{o1} - [f_{i2} + \frac{(\Delta f_{0-9})_2}{10}], \quad f_{o1} > f_{i2} + \frac{(\Delta f_{0-9})_2}{10} \quad (45)$$

- Respectiv

## Transmisiuni Analogice și Digitale; Circuite PLL

$$f_o = f_{o,2} + f_{i1} + f_{i2} + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} \quad (46)$$

➤ În final, la sincronism, rezultă:

$$f_r = f_{o,N-1} - \left[ f_{iN} + \frac{(\Delta f_{0-9})_N}{10^{N-1}} \right]; f_{o,N-1} > f_{iN} + \frac{(\Delta f_{0-9})_N}{10^{N-1}} \quad (47)$$

și se deduce:

$$f_o = (f_{i1} + f_{i2} + f_{i3} + \dots + f_{iN} + f_r) + \left[ (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} + \dots + \frac{(\Delta f_{0-9})_N}{10^{N-1}} \right] \quad (48)$$

➤  $f_{i1}, f_{i2}, \dots, f_r$ , vor fi alese pentru a permite sinteza limitei inferioare

EXEMPLU: gama (200-209,99)MHz cu pasul de 10 kHz.

➤ sunt necesare 3 decade; cunoscând pasul se determină:

$$\frac{(\Delta f_1)_N}{10^{N-1}} = \frac{(\Delta f_1)_3}{10^2} = 10 \text{ kHz}$$

adica

(49)

$$\Delta f_1 = 1 \text{ MHz și } f_r = 1 \text{ MHz}$$

➤ se vor selecta 10 armonici astfel încât să se poată genera:

$$(\Delta f_o)_1 = 0; (\Delta f_1)_1 = 1 \text{ MHz}; (\Delta f_2)_1 = 2 \text{ MHz} \dots (\Delta f_9)_1 = 9 \text{ MHz}. \quad (50)$$

➤ Pentru a preciza armonicile care trebuie utilizate se ține cont că

$$f_{omin} = f_{i1} + f_{i2} + f_{i3} + f_r \quad (51)$$

➤ Se aleg cele zece armonici pentru digiții 2 și 3 în domeniul:

$$f \in [100, \dots, 109] \text{ MHz};$$

➤ rezultă:

$$f_2 = 10 \text{ MHz și } f_1 = 1 \text{ MHz}$$

➤ respectiv

$$f_{i1}=188 \text{ MHz}$$

➤ deci decada 1 selectează una dintre armonicele având  $k \in [188, \dots, 197]$ .

➤ Testul de acoperire a gamei impuse:

$$\begin{aligned} f_{omax} &= f_{i1} + f_{i2} + f_{i3} + f_r + (\Delta f_{0-9})_1 + \frac{(\Delta f_{0-9})_2}{10} + \frac{(\Delta f_{0-9})_3}{10^2} = \\ &= 188 + 10 + 1 + 1 + 9 + 0,9 + 0,09 = 209,99 \text{ MHz} \end{aligned}$$

## 10.3 Aspecte specifice pentru circuitele PLL digitale (DPLL)

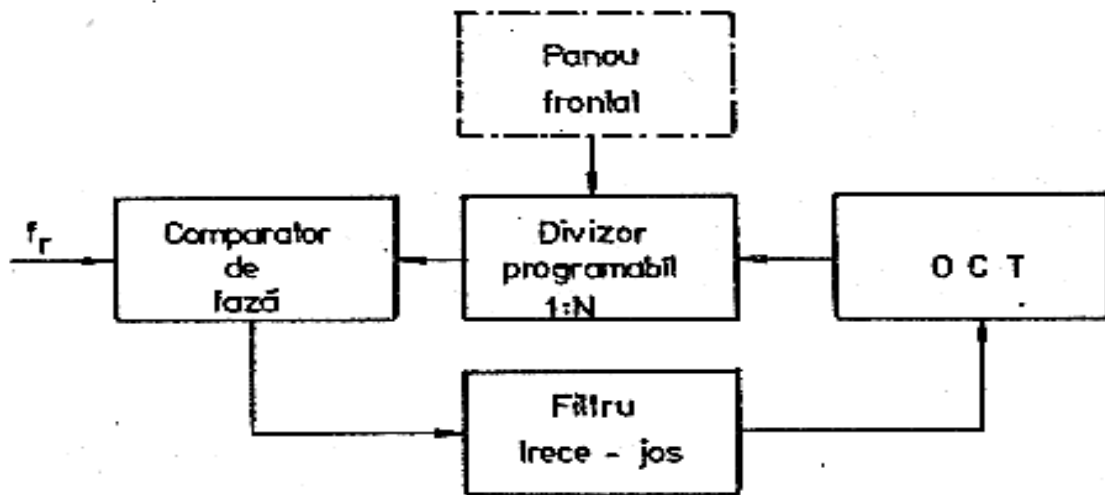


Fig. 19 Circuite PLL digitale: schema bloc simplificată.

➤ tandemul oscilator controlat în tensiune divizor programabil = un oscilator echivalent caracterizat prin constanta  $K'_3 = K_3/N$ ; rezultă funcțiile de transfer:

- pe buclă deschisă

$$G(s) = \frac{\phi_r(s)}{\phi_i(s)} \Big|_{BD} = \frac{\pi K_1 K_2 K_3}{N} \frac{F(s)}{s} = K' \frac{F(s)}{s} \quad (52)$$

unde s-a folosit notația  $K' = \pi K_1 K_2 K_3 / N$ ; și

- pe buclă închisă

$$H(s) = \frac{\phi_r(s)}{\phi_i(s)} \Big|_{BI} = \frac{K' F(s)}{s + K' F(s)} \quad (53)$$

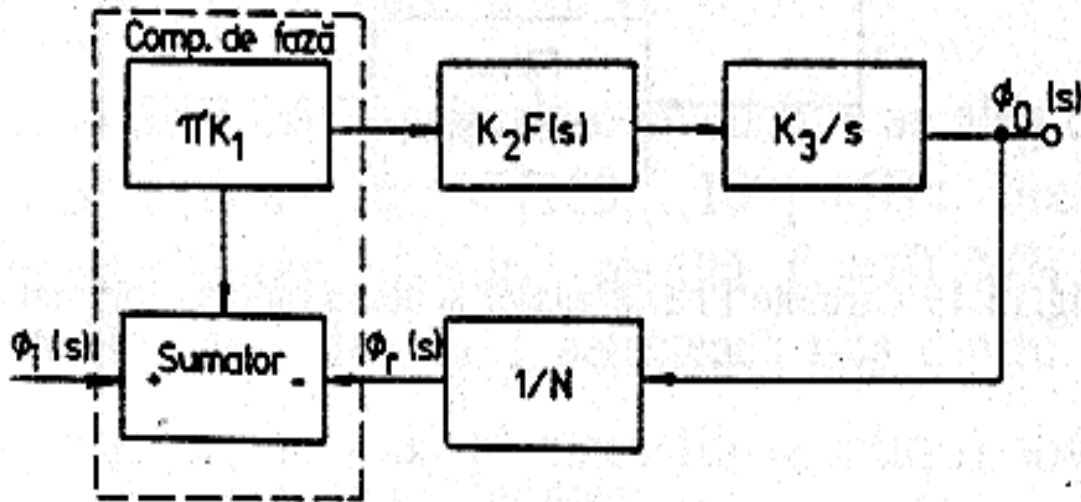


Fig. 20 Schema echivalentă liniarizată a circuitelor PLL digitale.

## 10.4 Comparatoare de fază folosite la realizarea circuitelor DPLL

- Echivalentul digital al comparatorului de fază analogic de tip operator de produs este realizat cu un circuit *sau-exclusiv*;
- acesta prezintă o caracteristică trunghiulară;
- Soluția, deși foarte economică, nu este folosită, prea mult, deoarece semnalul proportional cu eroarea de fază este dreptunghiular, cu amplitudine mare.
- Acest semnal depinde de factorul de umplere al semnalelor comparate și alături de componenta medie, folosită pentru controlul OCT, conține componente nedorite care nu pot fi eliminate, în condiții satisfăcătoare, de către filtrul de buclă.
- Dintre nenumăratele comparatoare de fază digitale perfecționate, a fost ales pentru a fi prezentat, în acest paragraf, comparatorul a cărui schemă este dată în figura 21-a și care este folosit în unele circuite PLL realizate în tehnologie CMOS [50].

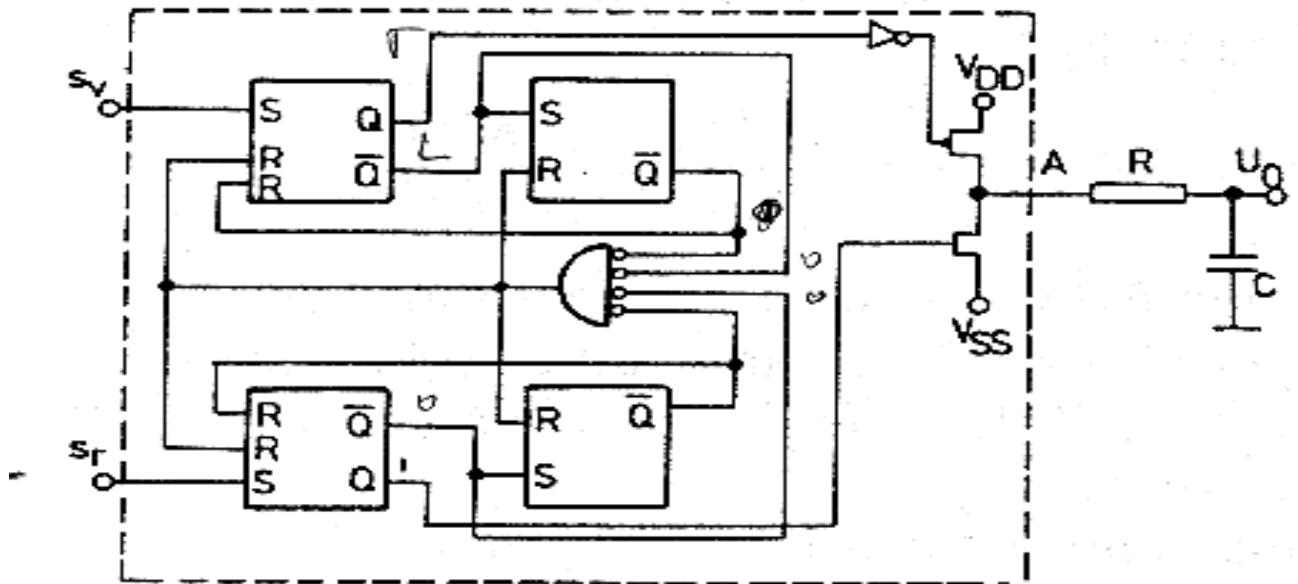


Fig. 10.21 Schema logică a unui comparator de fază digital

- Se observă că este un comparator de fază cu memorie, controlat de fronturile crescătoare ale semnalelor de intrare. El este realizat cu patru bistabili RS, logica de control asociată și doi tranzistori *MOS*, unul cu canal *p* și celălalt cu canal *n*, conectați pe post de comutatoare pe ieșire. Cei doi tranzistori pot fi:
  - unul în stare de conducție și celălalt în stare de blocare;
  - amîndoi în stare de blocare (ieșirea în stare de impedanță mare).
- Când tranzistorul cu canal *p* este în conducție condensatorul de filtrare *C* se încarcă prin rezistența *R*; când conduce tranzistorul cu canal *n*, *C* se descarcă cu aceeași constantă de timp; când ambele sunt în stare de blocare tensiunea pe condensator se conservă. Presupunând că semnalul  $s_v$  are frecvența mai mare decât  $s_r$  atunci, în cea mai mare parte a timpului, este deschis tranzistorul cu canal *p* și condensatorul se încarcă. Dacă frecvențele au devenit egale dar există un defazaj între cele două semnale se deschide unul din cei doi tranzistori, funcție de semnul defazajului, pe o durată proporțională cu valoarea sa absolută. Deci, pe măsură ce circuitul PLL se apropie de condiția de



sincronism, care în acest caz se exprimă prin frecvențe egale și defazaj nul, impulsurile aplicate condensatorului sunt tot mai scurte. În acest mod la sincronism componentele care trebuie filtrate au o pondere redusă în semnalul de ieșire. Funcționarea este similară dacă relația între frecvențele semnalelor comparate este inversă.

➤ Pentru circuitele PLL folosite în sinteza de frecvență, cu aplicație în sistemele de comunicație, se cere, adeseori, o puritate spectrală mai bună decât cea care poate fi realizată cu comparatorul de fază descris. Pentru asemenea situații au fost concepute comparatoare de fază cu eșantionare și memorare (S&H). Schema unui astfel de comparator este dată în figura 21. Se constată că schema dată poate fi împărțită în trei secțiuni:

- blocul digital de control, care formează semnalul întârziat  $s_v'$  și care generează semnalele de comandă pentru întrerupătoare;
- comparatorul analogic;
- blocul care sesizează ieșirea comparatorului din zona de funcționare corectă și o semnalizează.

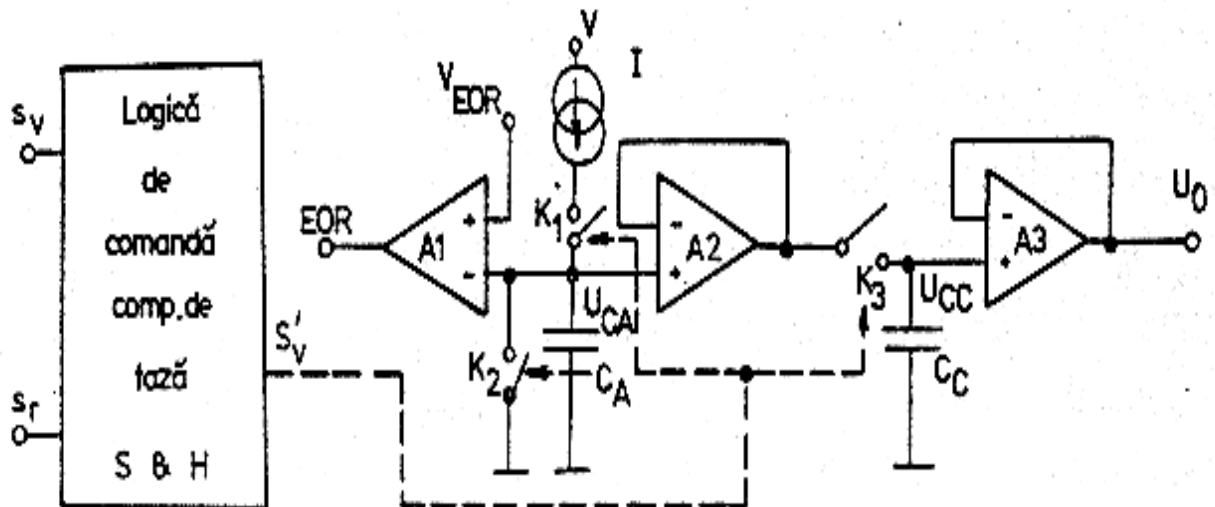
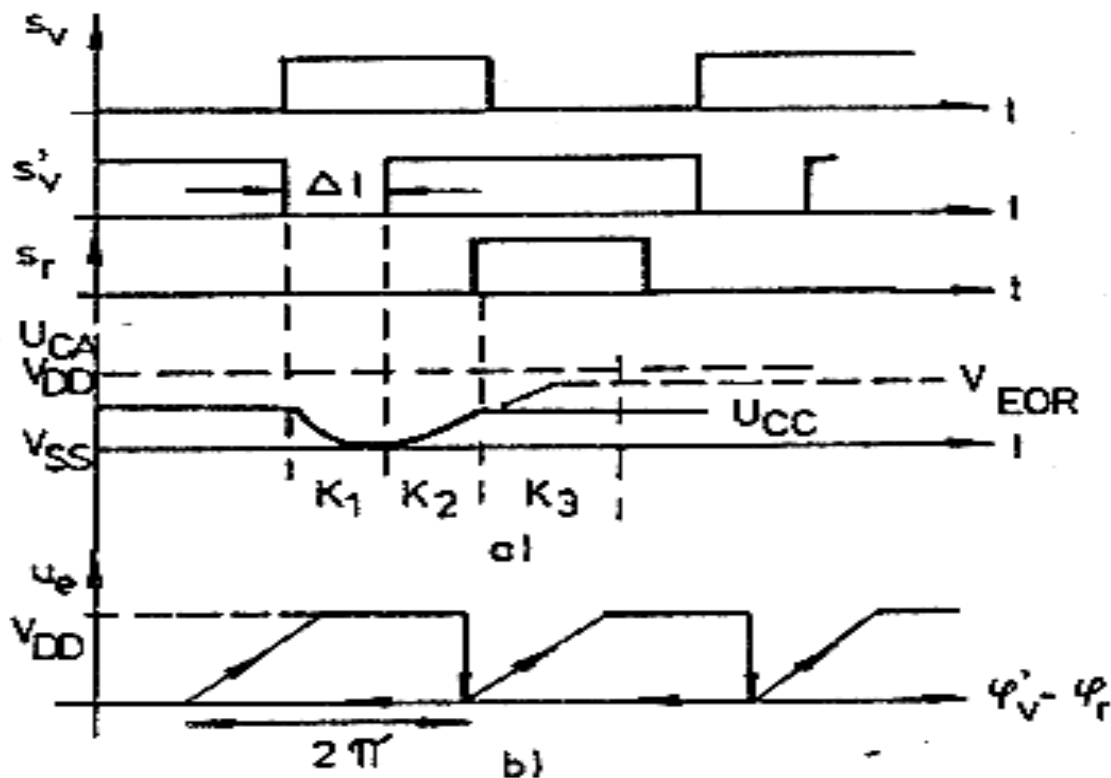


Fig. 22 Schema simplificată a comparatoarelor analogice S&H.

- Funcționarea comparatorului de fază S&H poate fi urmărită cu ajutorul diagramelor date în figura 22-a. Semnalele analizate sunt  $s_v$  și  $s_r$ . Blocul logic de control generează semnalul  $s_v'$  printr-o întârziere a semnalului  $\Delta t$  a semnalului  $s_v$  (v. și figura 27). Frontul scăzător al semnalului  $s_v'$  (sau frontul crescător al semnalului  $s_v$ ) comandă închiderea comutatorului  $k_2$ , producând descărcarea condensatorului  $C_A$ . Frontul pozitiv deschide comutatorul  $k_2$  și închide comutatorul  $k_1$ . Condensatorul  $C_A$  se încarcă, sub curent constant, până la apariția frontului crescător al semnalului  $s_r$ . În acest mod tensiunea  $U_{CA}$  este proporțională cu defazajul existent între cele două semnale. Frontul crescător a semnalului  $s_r$  deschide comutatorul  $k_1$ , închide comutatorul  $k_3$  și tensiunea  $U_{CA}$  se transferă pe condensatorul de memorare  $C_C$ .



**Fig. 23** Comparatorul analogic S&H; a) formele de undă ale principalelor semnale, b) variația tensiunii de ieșire funcție de eroarea de fază.

- Din cele prezentate rezultă că tensiunea de comandă variază în trepte mici; deci componentele nedorite sunt mult reduse în comparație cu comparatoarele digitale. De asemenea se constată că panta comparatorului depinde de condensatorul  $C_A$  și de rezistența care controlează generatorul de curent. Valoarea pantei poate fi foarte mare, rezultând o caracteristică trapezoidală (figura 22-b). Dacă eroarea de fază este prea mare, tensiunea pe condensatorul  $C_A$  depășește tensiunea  $V_{EOR}$  ( $EOR$  de la end of ramp = sfârșit de rampă) comparatorul realizat cu amplificatorul operațional A1 comută și blocul de semnalizare avertizează circuitul PLL că s-a ieșit din zona de funcționare corectă (semnalul  $EOR$ ).

### 10.5 Sintetizoare de frecvență realizate cu circuite PLL digitale

➤ 
$$f_v = \frac{f_o}{N} = f_r; f_o = N f_r \quad (55)$$

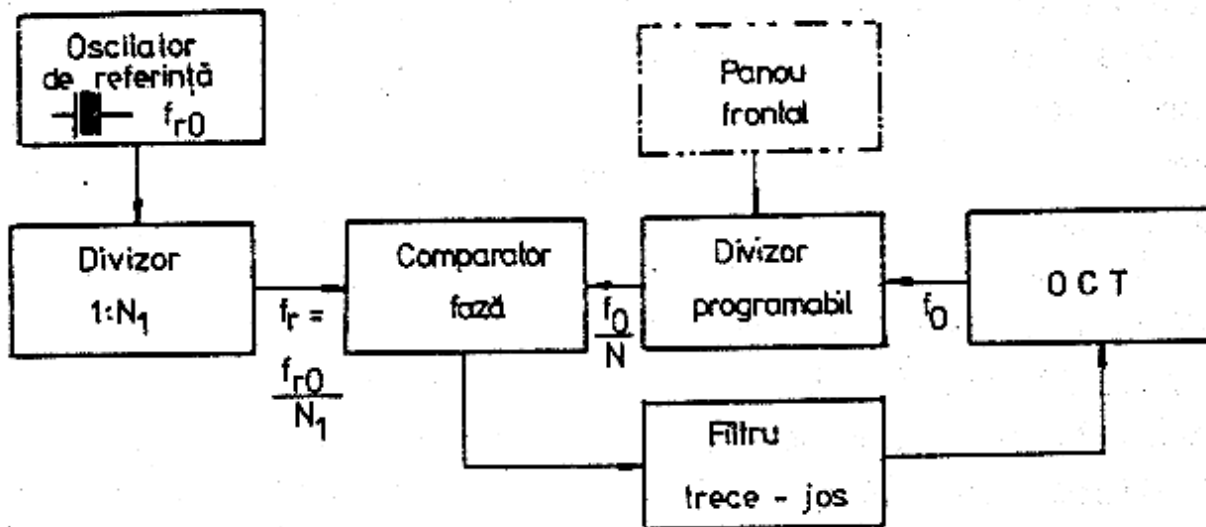
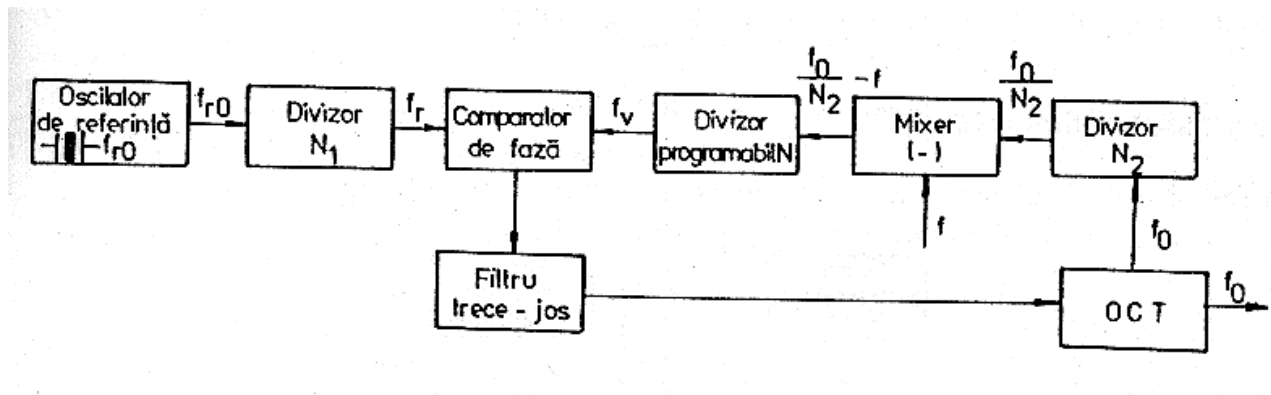


Fig. 24 Schema bloc a celui mai simplu sintetizor cu circuite DPLL.

- modificarea  $N$ , sintetiza frecvențelor care să acopere o gamă oarecare cu pasul  $f_r$ .

## Transmisiuni Analogice și Digitale; Circuite PLL

- Limitele gamei acoperite pe această cale depind de parametrii buclei (*OCT*, comparator de fază) și de performanțele impuse semnalului generat.
- Avantaje: dimensiuni reduse și consum mic.
- Este interesant de precizat că soluția prezentată mai sus este rareori folosită ca atare.
- Un prim motiv constă în limitele care caracterizează divizoarele programabile.



**Fig. 25** Folosirea circuitelor DPLL pentru sinteza de frecvență; o schemă bloc perfecționată.

$$f_v = \frac{1}{N} \left( \frac{f_o}{N_2} - f \right); f_o = (N f_r + f) N_2 \quad (56)$$

- dezavantaje;
- Banda îngustă a filtrului de buclă implică timp de achiziție (timp de intrare în sincronism) mare etc.
- divizoare de prescalare cu factor de divizare cu câteva valori comutabile;
- exemplu: divizor de prescalare cu coeficientul  $N_2=10/11$ .

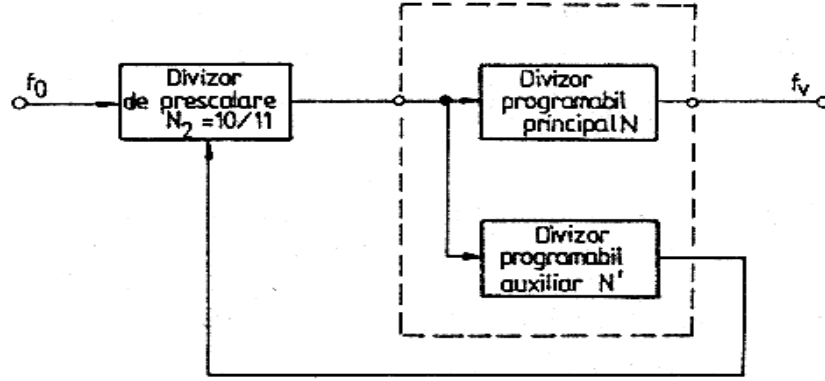


Fig.13.26 Divizoare programabile cu divizor de prescalare cu factor de divizare controlabil

- Divizoarele  $N$  și  $N'$  sunt programabile și lucrează prin decrementare. Se consideră că au fost aleși coeficienții de divizare:

$$N = \sum_{m=1}^M A_m 10^{M-m}; N' < 9 \quad (57)$$

- Unde

$$A_m, \in \{0, 1, \dots, 9\} \quad (58)$$

- Dacă divizorul de prescalare are factorul de divizare fix și egal cu 10 se obține:

$$f_o = N f_r N_2 = f_r \sum_{m=1}^M A_m 10^{M-m+1} \quad (59)$$

deci pasul minim este  $10f_r$ .

- Divizorul cu pas controlabil 10/11 lucrează cu  $N_2=11$  cît timp divizorul  $N' \neq 0$  și cu  $N_2=10$  în rest; se deduce

$$N = 11 N' + 10 \left[ \sum_{m=1}^M A_m 10^{M-m} - N' \right] = \sum_{m=1}^M A_m 10^{M-m+1} + N' \quad (60)$$

- așadar prin factorul de divizare  $N'$ , al divizorului auxiliar se controlează digitul care

## Transmisiuni Analogice și Digitale; Circuite PLL

este mascat de divizorul de prescalare și, pe ansamblu, se realizează un pas egal cu  $f_r$ .

- De menționat că există divizoare de prescalare decadice cu mai mulți indici ( de exemplu **DP111** care are  $N_2=100/110/111$ ) precum și divizoare de prescalare binare (de exemplu  $N_2=30/32$ ).
- Un al doilea motiv pentru care structura sintetizorului analizat nu este, totdeauna, satisfăcătoare constă în necesitatea evitării modulației parazite care se realizează cu componente provenite de la comparatorul de fază, deci componente având frecvența semnalului de referință sau frecvența unei armonici a acestuia.
- Aceste componente având frecvențe mult mai mici decât frecvența OCT pot produce, chiar la amplitudini foarte mici, indici de modulație în frecvență semnificativi. Pentru a reduce acest efect se pot folosi două procedee:
  - introducerea unui filtru de rejecție, în cascadă cu filtrul de buclă, axat pe frecvența componentei corespunzătoare;
  - folosirea unor comparatoare de fază perfecționate.
- În cele ce urmează se va insista, puțin, asupra celui de al doilea procedeu.
- Așa cum s-a arătat în paragraful 10.3 prelucrarea unor semnale logice a permis realizarea unei mari varietăți de comparatoare de fază.
- Sinteza de frecvență implică acoperirea unor game largi de frecvență cu timpi de comutare reduși și cu puritate spectrală cât mai ridicată.
- Având în vedere contradicția existentă între aceste cerințe se ajunge la concluzia că trebuie combinate calitățile mai multor comparatoare de fază:

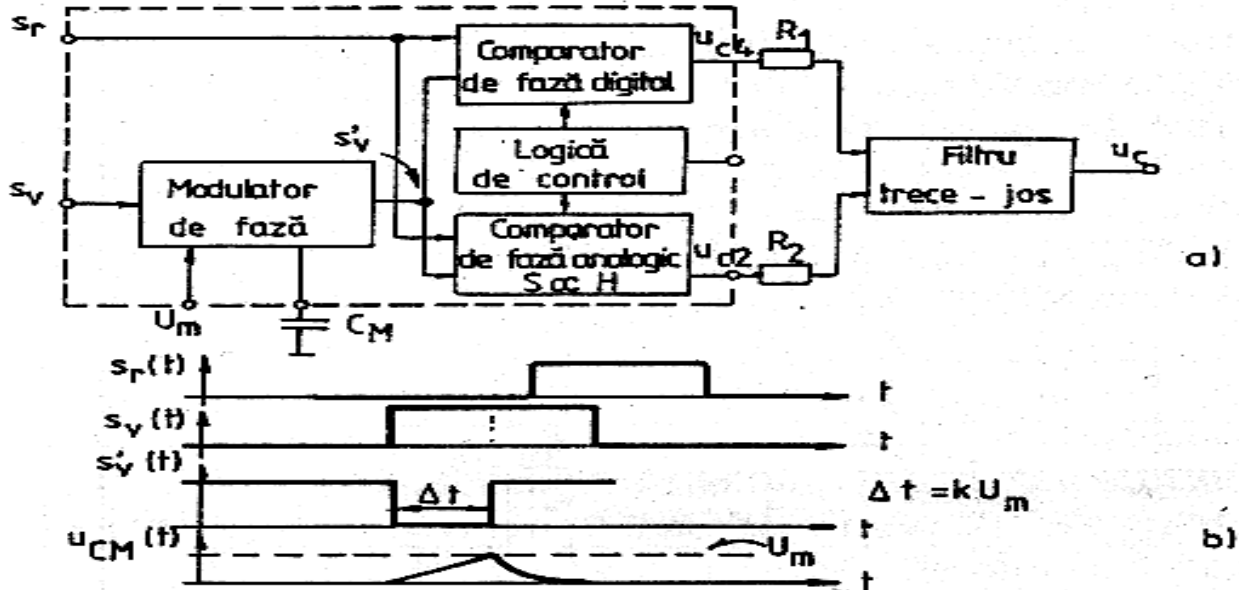


Fig. 27 Comparator de fază complex: a) schema bloc;

b) formele de undă care evidențiază funcționarea modulatorului de fază.

- un comparator cu panta redusă care să permită realizarea benzii de prindere impuse cu timp de achiziție bun;
  - un comparator cu panta mare și ondulații mici ale tensiunii de ieșire, care să mențină bucla în sincronism cu modulație parazită redusă
- O astfel de soluție se poate obține folosind două comparatoare dintre cele prezentate anterior cu o logică adecvată de control (figura 27-a).
- Atunci când bucla este în afara sincronismului, acționează comparatorul digital cu panta relativ mică dar care acoperă domeniul  $(-2\pi, 2\pi)$  și permite realizarea sigură a sincronizării.
- Aproximarea buclei de sincronism este sesizată prin logica de control care comandă blocarea comparatorului digital și controlul este preluat de comparatorul analogic cu eșantionare și menținere (S&H).
- Panta acestuia fiind foarte mare rezultă o bună stabilitate a sincronismului;
- de asemenea, așa cum s-a arătat în paragraful 10.3 semnalul de comandă livrat de acesta

## Transmisiuni Analogice și Digitale; Circuite PLL

este tensiunea de pe condensatorul de memorare  $C_c$ , tensiune a cărei valoare se modifică în trepte corespunzătoare erorii de fază ;

- de aici ondulații mici ale tensiunii de comandă a  $OCT$  și modulație parazită redusă.
- Semnalele de la ieșirile celor două comparatoare de fază sunt însumate prin intermediul filtrului de buclă.
- Schema bloc dată în figura 27 pune în evidență o altă caracteristică specifică acestor sintetizoare: posibilitatea modulației de fază în buclă.
- Această posibilitate este extrem de interesantă atunci când sintetizorul este folosit în sisteme de comunicație MF, oferind o modalitate performantă de producere indirectă a modulației în frecvență.
- Pentru realizarea modulației de fază semnalul comparat nu este cel original ci o replică a sa, întârziată, creată de către modulatorul de fază.
- Acesta este un circuit logic care, așa cum se observă din diagramele date în figura 27-b, funcționează în felul următor:
  - la frontul pozitiv al semnalului  $s_v$  comută în starea "0":
  - simultan condensatorul  $C_M$  începe să se încarce:
  - încărcarea se realizează sub curent constant, pînă cînd tensiunea pe condensator devine egală cu tensiunea  $U_m$  aplicată pe intrarea de modulație.
  - In acel moment apare frontul pozitiv al semnalului aplicat comparatoarelor de fază  $s_v'$ .
  - Cum aceste comparatoare lucrează pe fronturile pozitive, între semnalul generat de  $OCT$  și semnalul comparat apare o întârziere controlată prin tensiunea  $U_m$ .
  - Din punctul de vedere al semnalului generat de  $OCT$  aceasta se traduce printr-o modulație de fază realizată cu semnalul aplicat pe intrarea modulatorului.
- Dacă performanțele care se obțin folosind sintetizoare cu un circuit PLL nu satisfac cerințele impuse, se poate folosi soluția cu mai multe circuite. O schemă bloc care ilustrează modul de lucru al unui astfel de sintetizor este dată în figura 28.



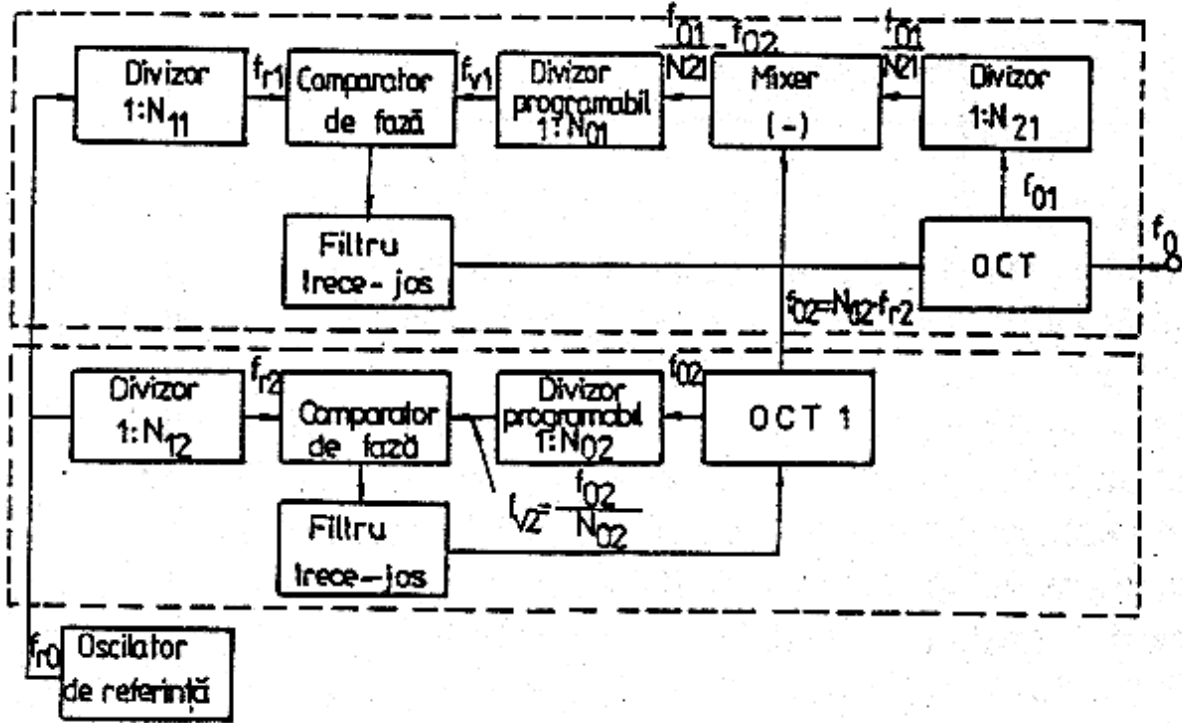


Fig. 28 Sintetizor de frecvență realizat cu două circuite DPLL.

- Circuitul PLL din ramura superioară reprezintă circuitul principal și este caracterizat prin valoarea ridicată a frecvenței de referință. În acest fel se pot filtra corespunzător componentele care ar putea conduce la modulația de fază nedorită. Circuitul din ramura inferioară lucrează la frecvențe mult mai coborâte și are rolul de a asigura explorarea domeniului de frecvență cu pasul impus.
- La sincronismul celor două circuite sunt valabile relațiile:

$$f_{o2} = N_{02} f_{r2}; \quad f_{o1} = (N_{01} f_{r1} + f_{o2}) N_{21} \quad (61)$$

Adică

$$f_{o1} = N_{21} (N_{01} f_{r1} + N_{02} f_{r2}) \quad (62)$$

unde

$$f_{r1} = \frac{f_{ro}}{N_{11}}, \quad f_{r2} = \frac{f_{ro}}{N_{12}} \quad (63)$$

iar  $f_{oi}$  reprezintă frecvența semnalului generat de către oscilatorului de referință.

## Transmisiuni Analogice și Digitale; Circuite PLL

- Se constata că pasul cu care se face sinteza este  $(N_2 f_r^2)$  și că circuitul auxiliar trebuie să asigure acoperirea unui interval de frecvență egal cu pasul buclei principale.

Tabelul 13.1

	$N_2$	$f_r$ (kHz)	$N_{omin}$	$N_{omax}$	$N_1$
Buclea principală	100	1000	18	27	1
Buclea auxiliară	-	10	200	300	100

- Pentru a exemplifica acest procedeu se consideră cazul unui sintetizor care trebuie să acopere gama cuprinsă între 2GHz și 3GHz cu pași de 1MHz. Se optează pentru utilizarea unui oscilator cu cuarț lucrând pe frecvența de 1MHz. De asemenea se va folosi un divizor de prescalare care să permită folosirea unor divizoare programabile convenabile ( $f < 40$  MHz); rezultă  $N_{21}=100$ ; În sfârșit, se alege pasul de explorare care trebuie asigurat de bucla principală de 100MHz. Acești parametri precum și alții determinați prin calcule simple sunt concentrați în tabelul 1.
- În condițiile precizate ambele bucle trebuie să acopere domenii relativ înguste, cu pași care nu sunt foarte mici în comparație cu frecvența OCT; se poate astfel asigura filtrarea foarte bună a semnalelor de comandă; în orice caz mult mai bună decât dacă se folosea un sintetizor cu un singur circuit.